

**АПАРАТНИЙ БІТ-ПОТОКОВИЙ
ONLINE ОБЧИСЛЮВАЧ ДРОБОВО-
РАЦІОНАЛЬНИХ ФУНКЦІЙ***ЛАРЧЕНКО Б.Д., ШКІЛЬ О.С.,**ЛАРЧЕНКО Л.В., ФІЛІППЕНКО І.В.,**ЮЩЕНКО С.В.*

Пропонується математична модель апаратного біт-потокowego online обчислювача дробово-раціональних функцій, яка отримана алгоритмічно шляхом неперервного паралельного обчислення значень двох раціональних функцій і формуванням вихідного бітового потоку пристрою в моменти рівності їх значень. Математична модель обчислювача забезпечує абсолютну похибку відтворення 0,5 одиниці молодшого біту аргументу. Пропонується апаратна модель обчислювача, яка сформована на основі цифрового автомата моделі Мура. Розробляється граф-схема алгоритму роботи пристрою та граф переходів керуючого автомата. Здійснюється верифікація, тестування та імплементація запропонованої моделі в платформу ПЛІС.

Ключові слова: функціональне перетворення, бітовий потік даних, апроксимація, математична модель, абсолютна похибка, конвеєрні обчислення, алгоритм, кінцевий автомат, граф переходів, HDL-модель, верифікація.

Key words: functional conversion, bit-stream data, approximation, mathematical model, absolute error, pipeline calculations, algorithm, finite-state machine, state diagram, HDL-model, verification.

1. Вступ

Одним з напрямків, пов'язаних зі створенням нових базових елементів для побудови сенсорних, робототехнічних та біонічних систем, систем управління є розробка online обчислювачів, що виконують функціональне перетворення інформаційних сигналів, представлених бітовими потоками даних. Біт-потокowa форма сигналів ефективно застосовується як в сенсорних інтерфейсах, так і при формуванні керуючих сигналів [1,2]. В біт-потокowому кодуванні дані представляють собою потоки імпульсів одиначної амплітуди частотних або широтно-модульованих сигналів. При цьому інформативним параметром є фіксоване значення імпульсів довільної тривалості за часовий інтервал. Біт-потокowi сигнали є квазіцифровими, оскільки інформація представляється неперервно у часі та легко перетворюється в дискретні форми представлення, наприклад, в бінарні коди. Така особливість дозволяє застосовувати при побудові біт-потокowих функціональних пристроїв аналогові підходи до

обчислень, реалізуючи їх в базисі традиційних цифрових елементів [3].

Біт-потокowi форми сигналів дозволяють здійснювати передачу і обробку інформації способами, що характеризуються можливістю послідовної обробки потоків в темпі надходження одиначних бітів і високою завадостійкістю внаслідок непозиційності та еквівалентності одиначних біт по відношенню до їх ваги в цифровому коді [4]. При цьому біт-потокowa форма сигналів зберігаючи завадостійкість, не дає інформаційної надмірності і дозволяє забезпечувати високу швидкодію пристроїв [5].

Переваги біт-потокowого подання сприяють розробці відповідних пристроїв для систем управління і контролю [6,7]. Системи управління в своєму складі містять інтелектуальні вимірювальні системи, в яких часто передбачена первинна обробка вимірювальної інформації, що отримують від вимірювальних сенсорів фізичних величин, для прийняття рішень про результати вимірювань з метою реалізації управління. При цьому потрібно виконання різних нелінійних перетворень бітових потоків даних. Обробка даних передбачає як перетворення форми подання інформації, так і виконання лінеаризації сигналу сенсора з використанням різних нелінійних функцій. При цьому перевага віддається сенсорам, що забезпечують неперервний процес вимірювань і перетворень в реальному часі. При реалізації управління, в більшості випадків, потрібні плавні зміни сигналів управління, наприклад, при впливі на виконавчі механізми роботів, маніпуляторів, біонічних протезів та ін. Для згладжування сигналів можуть бути використані різні нелінійні функції: логарифмічна, степенева, дробово-раціональна, ірраціональна, експоненціальна та тригонометричні [8]. Таким чином, розробка спеціалізованих апаратних модулів, що виконують обчислювальні перетворення біт-потокowих даних, є *актуальною*.

Потокowi способи передачі та обробки інформації характеризуються можливістю реалізації перетворення за рахунок використання методів формування приростів і послідовної обробки потоків у міру їх надходження на вхід пристрою. Біт-потокowi online обчислювачі елементарних математичних функцій передбачають реалізацію потокowego методу обчислень в реальному часі з одночасним паралельно-послідовним виконанням перетворень над одиначними бітами потоку відповідно до необхідної функції, тобто послідовне обчислення значень функції, що виконуються для сусідніх значень аргументу. Кожне

наступне значення функції визначають на підставі попереднього результату обчислень. При цьому перше обчислення здійснюють з урахуванням початкових умов - ініціалізації компонентів пристрою певними значеннями [9].

Застосування прогнаних логічних інтегральних схем як елементної бази для реалізації біт-потоків пристроїв є ефективним рішенням завдяки їх високій технологічній надійності та швидкодії.

Метою роботи є дослідження та розробка математичної, структурної та апаратної моделей проектування біт-потоків online обчислювача дробово-раціональних функцій. Для досягнення мети визначені завдання дослідження: аналіз способу відтворення дробово-раціональних функцій з біт-потоків формою подання аргументу, розробка математичної моделі обчислювача на основі теорії математичного моделювання, синтез архітектури обчислювача на основі аналізу способу побудови конвеєрних архітектур біт-потоків обчислювачів поліноміальних функцій, розробка апаратної моделі обчислювача на основі кінцевого автомата і верифікація, тестування та імплементація запропонованої моделі в платформу ПЛІС.

2. Математичне обґрунтування обчислення дробово-раціональних функцій

Відповідно до мети дослідження апаратний біт-потоків online обчислювач дробово-раціональних функцій має реалізувати неперервну функцію

$$y^* = \left[\frac{\sum_{i=0}^n a_i x^{*i}}{m} \right], \quad (1)$$

де i, a_i – цілі додатні числа.

В [10] розглянуто метод формування приростів неперервних висхідних функцій. Зазначено, що неперервна функція $y^* = f(x^*)$, обмеженнями якої є умови $x^*, y^* \geq 0$, $y^* \leq x^*$ і яка має зворотну $x^* = \psi(y^*)$, може бути відтворена на виході апаратного біт-потоків online обчислювача апроксимуючою функцією

$$y = [f(x) + |\delta_{\max}|]. \quad (2)$$

Тут x, y – вхідний і вихідний бітові потоки даних відповідно, $0,5 \leq |\delta_{\max}| < 1$ – задане граничне значення абсолютної похибки відтворення відповідних неперервних функцій. В (2) квадратні дужки означають цілу частину числа.

При цьому процес відтворення функції (2) може бути здійснений на основі вибірки певних біт x_y з вхідного бітового потоку x , номери яких визначають з нерівності

$$\Psi(y - |\delta_{\max}|) \leq x_y < \Psi(y - |\delta_{\max}|) + 1, \quad (3)$$

де $\Psi(y - |\delta_{\max}|)$ – функція, зворотна $f(x)$.

Значення вибірок x_y , що обираються з вхідного бітового потоку, можуть бути знайдені шляхом послідовної підстановки $y = 1, 2, 3, \dots, y_k$ в нерівність (3), обчисленням лівої її частини і округленням одержуваних дискретних значень в більшу сторону до найближчого цілого числа. Розглянутий метод забезпечує неперервний процес відтворення функції (2) в реальному часі в процесі надходження бітового потоку x на вхід апаратного обчислювача. Перевагою біт-потоків обчислювачів є істотне спрощення їх технічної реалізації завдяки даним, представленим бітовими потоками.

Отже, неперервна функція (1) може бути відтворена на виході пристрою апроксимуючою функцією

$$y = \left[\frac{\sum_{i=0}^n a_i x^i}{m} + |\delta_{\max}| \right], \quad (4)$$

де x – аргумент функції, що представляє собою бітовий потік даних; i, a_i – цілі додатні числа; $|\delta_{\max}|$ – граничне значення абсолютної похибки

ділення полінома $\sum_{i=0}^n a_i x^i$ на число m . При

обчисленні поліномів з цілими коефіцієнтами похибка обчислення відсутня.

При абсолютній похибці $|\delta_{\max}| = 0,5$ забезпечується мінімальна похибка відтворення заданої функції, оскільки результат ділення округляється до найближчого цілого числа. На виході пристрою формується бітовий потік даних y .

Апроксимуюча дробово-раціональна функція з урахуванням абсолютної похибки обчислень $|\delta_{\max}| = 0,5$, що є оптимальною, має вигляд

$$y = \left[\frac{\sum_{i=0}^n a_i x^i}{m} + 0,5 \right]. \quad (5)$$

При обчисленні функції (5) необхідно виконання двох етапів, що мають бути здійсненні в досліджуваному пристрої:

- обчислення поліноміальної функції $\sum_{i=0}^n a_i x^i$, що

є в чисельнику функції (5);

$$|\delta_{\max}| = 0,5.$$

3. Математична модель біт-потокowego online обчислювача дробово-раціональних функцій

Отримання математичних моделей біт-потоків обчислювачів дробово-раціональних функцій описано в [11]. Реалізація апроксимуючих функцій в апаратних біт-потоків обчислювачах здійснюється на основі способу відтворення зворотних функцій. Але дробово-раціональна функція (5) не має аналітичного виразу зворотної функції і обчислення x_y не є можливим за формулою (3), тому було запропоновано інший шлях отримання математичної моделі обчислювача.

Опустивши квадратні дужки і виконавши перетворення функції (5), отримаємо основну розрахункову нерівність, на основі якої розроблено математичну модель пристрою

$$2 \sum_{i=0}^n a_i x_y^i \geq m(2y_k - 1), \quad (6)$$

де $y_1 \leq y \leq y_k$, $1 \leq y_k \leq k$.

В результаті переходу до різниць система нерівностей, що описує математичну модель апаратного біт-потокowego обчислювача дробово-раціональної функції на основі (6), має вигляд

$$\begin{aligned} 2 \sum_{i=0}^n a_i x_1^i &\geq m, \\ 2(\sum_{i=0}^n a_i x_2^i - \sum_{i=0}^n a_i x_1^i) + \Delta_1 &\geq 2m, \\ 2(\sum_{i=0}^n a_i x_3^i - \sum_{i=0}^n a_i x_2^i) + \Delta_2 &\geq 2m, \end{aligned} \quad (7)$$

$$2(\sum_{i=0}^n a_i x_y^i - \sum_{i=0}^n a_i x_{y-1}^i) + \Delta_{y-1} \geq 2m,$$

де Δ_{y-1} – різниця, що отримана в результаті порівняння приростів поточних значень функцій $2 \sum_{i=0}^n a_i x^i$ і $m(2y-1)$ між двома сусідніми вузлами апроксимації відтворної функції, отриманої на попередньому кроці обчислень; $x_0, \Delta_0 = 0$.

В системі нерівностей (7) Δ_1 і Δ_{y-1} визначаються відповідно

$$\Delta_1 = 2 \sum_{i=0}^n a_i x_1^i + \Delta_0 - m, \quad (8)$$

$$\Delta_{y-1} = 2(\sum_{i=0}^n a_i x_y^i - \sum_{i=0}^n a_i x_{y-1}^i) + \Delta_{y-2} - 2m. \quad (9)$$

При надходженні на вхід пристрою деякого біта x_y бітового потоку x на його виході буде сформований вихідний біт y_k при виконанні кожної нерівності системи (7). Отже, першому вихідному біту $y_1 = 1$ відповідає обраний біт з номером x_1 вхідного бітового потоку x , при цьому буде виконано першу нерівність системи. Аналогічно, другому біту $y_2 = 2$ відповідає обраний біт з номером x_2 , при якому буде виконано другу нерівність системи.

Для наступних бітів вихідного бітового потоку у
будуть виконані нерівності системи (7)
відповідно.

Експериментальне дослідження проведено на прикладі дробово-раціональної функції

$$y = \left[\frac{\sum_{i=0}^2 a_i x^i}{m} + 0,5 \right], \quad (10)$$

де абсолютна похибка обчислення $|\delta_{\max}| = 0,5$.

На підставі (6) нерівність, що необхідно реалізувати в пристрої, має вигляд

$$2\sum_{i=0}^2 a_i x_y^i \geq m(2y_k - 1). \quad (11)$$

З урахуванням (11) математична модель біт-потоків обчислювача дробово-раціональної функції (10) набуде вигляду

$$\begin{aligned}
2 \sum_{i=0}^2 a_i x_1^i &\geq m, \\
2 \left(\sum_{i=0}^2 a_i x_2^i - \sum_{i=0}^2 a_i x_1^i \right) + \Delta_1 &\geq 2m, \\
2 \left(\sum_{i=0}^2 a_i x_3^i - \sum_{i=0}^2 a_i x_2^i \right) + \Delta_2 &\geq 2m, \\
&\vdots \\
2 \left(\sum_{i=0}^2 a_i x_y^i - \sum_{i=0}^2 a_i x_{y-1}^i \right) + \Delta_{y-1} &\geq 2m,
\end{aligned} \tag{12}$$

де

$$\Delta_1 = 2 \sum_{i=0}^2 a_i x_1^i + \Delta_0 - m, \quad (13)$$

$$\Delta_{y-1} = 2(\sum_{i=0}^2 a_i x_y^i - \sum_{i=0}^2 a_i x_{y-1}^i) + \Delta_{y-2} - 2m. \quad (14)$$

4. Алгоритм конвеєрних обчислень поліноміальних функцій

В основі концепції конвеєризації обчислень лежить поділ процесів виконання дій, що послідовно виконуються. Конвеєрна обробка даних обчислювального процесу відбувається в режимі паралельного виконання обчислень.

В (5) необхідно здійснювати обчислення полінома n -го степеня, що записаний в чисельнику функції.

Розглянемо алгоритм обчислення поліномів, що мають вигляд

$$y = \sum_{i=0}^n a_i x^i, \quad (15)$$

де n, a_i – цілі додатні числа.

Особливістю поліномів з цілочисельними коефіцієнтами a_i є те, що послідовність його цілочисельних значень функції $y_0, y_1, y_2, y_3, \dots, y_i$, які відповідають значенням $x=0, 1, 2, 3, \dots, i$ є арифметичним рядом n -го порядку.

Отже, задача синтезу поліноміального обчислювача може бути вирішена шляхом зниження порядку різниць.

Визначимо функцію (15) за виразом

$$y_i = f(i+1) - f(i), \quad (16)$$

де $i=0, 1, 2, 3, \dots$, $f(i)$ – значення функції в точці x_i , $f(i+1)$ – значення функції в точці x_{i+1} відповідно.

Для значення i аргументу різниці 1-го, 2-го та n -го порядків відповідно визначаються системою різницьових рівнянь

$$\begin{aligned} \Delta_1 &= y_{i+1} - y_i, \\ \Delta_1^2 &= \Delta_{i+1} - \Delta_i, \\ \Delta_1^3 &= \Delta_{i+1}^2 - \Delta_i^2, \\ &\dots \\ \Delta_1^n &= \Delta_{i+1}^{n-1} - \Delta_i^{n-1} \end{aligned} \quad (17)$$

Система рівнянь (17) представляє собою математичну модель біт-потокowego обчислювача поліноміальної функції. Означена вище методика використана при проектуванні конвеєрної архітектури біт-потокowego обчислювача поліноміальних функцій, що є складовою частиною архітектури пристрою обчислення дробово-раціональних функцій.

При побудові обчислювачів компоненти конвеєрної архітектури потребують встановлення початкових умов, тобто компоненти мають бути ініціалізовані початковими значеннями

$y_0, \Delta_0, \Delta_0^2, \dots, \Delta_0^n$, а саме, першими членами арифметичного ряду n -го порядку та арифметичними рядами різниць 1-го, 2-го та n -го порядків відповідно.

5. Архітектура біт-потокowego online обчислювача дробово-раціональних функцій

Загальна архітектура пристрою, що відтворює дробово-раціональну функцію (5), представлена на рис. 1.

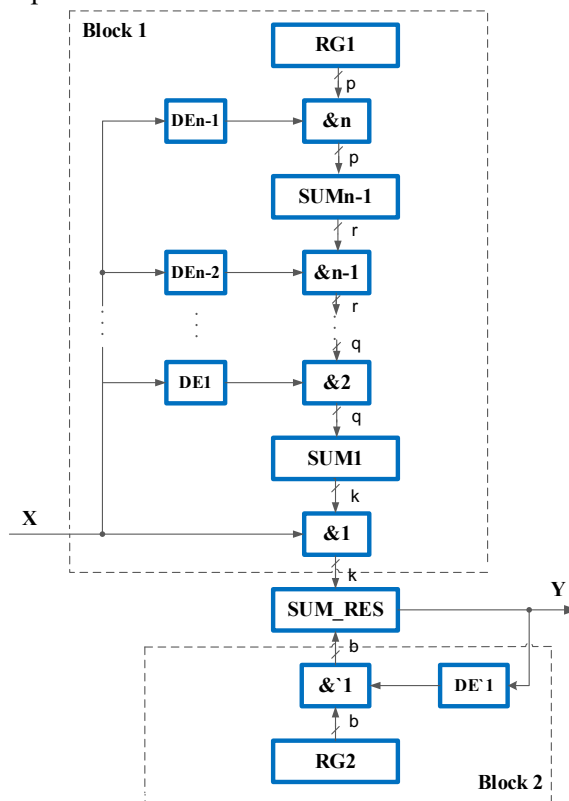


Рис. 1. Загальна архітектура біт-потокowego обчислювача дробово-раціональних функцій

Архітектура обчислювача є синтезом двох блоків: Block 1 – біт-потоковой конвеєрний обчислювач поліноміальних функцій, що відтворює функцію

$$2 \sum_{i=0}^n a_i x_y^i;$$

Block 2 – дільник чисел, що реалізує функцію $m(2y_k - 1)$ нерівності (6).

Дробово-раціональний обчислювач в своєму складі містить суматор результату SUM_RES, $n-1$ суматорів SUM1, ..., SUMn-1, регістри RG1, RG2, групи елементів &'1, &1, &2, ..., &n, елементи затримки DE'1, DE1, DE2, ..., DEn-1.

Основним обчислювальним компонентом є суматор результату SUM_RES, що використовується як схема порівняння паралельних кодів приростів ґратчастої функції

$$2 \sum_{i=0}^n a_i x_y^i \text{ з приростами ґратчастої функції}$$

$m(2y_k - 1)$ з урахуванням їх різниці Δ_{y-1} , отриманої на попередньому кроці обчислень.

Формування сходинки відтворної функції (5) здійснюється на виході суматора SUM_RES, в який з Block 1 надходять прямі бінарні коди чисел за допомогою бітів вхідного бітового потоку, а з Block 2 – додаткові коди чисел за допомогою вихідних бітів потоку.

На основі загальної архітектури обчислювача розроблена архітектура, що реалізує досліджувану функцію (10), яка має вигляд, приведений на рис. 2. Block 1 містить біт-потоківий конвеєрний обчислювач квадратичних поліномів – квадратор, що реалізує ліву частину нерівності (11), тобто функцію $2\sum_{i=0}^2 a_i x_y^i$.

Компонентами квадратору є суматори SUM1, SUM2, групи логічних елементів &1, &2, елемент затримки DE1 і регістр RG1. Block 2 містить дільник чисел, що реалізує праву частину нерівності (11), а саме, $m(2y_k - 1)$. Дільник чисел містить компоненти: суматор SUM2, групу логічних елементів &3, елемент затримки DE2, регістр RG2. SUM2 є спільним компонентом в архітектурі, в якому при виконанні кожної нерівності системи (12) генерується вихідний біт у.

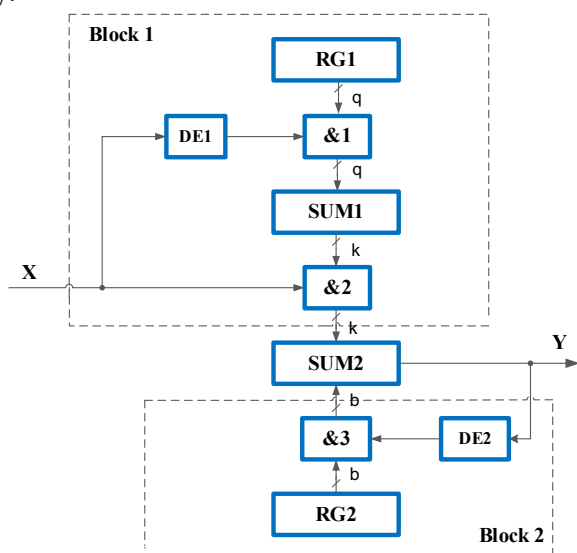


Рис. 2. Архітектура обчислювача досліджуваної функції

Компоненти архітектури мають бути ініціалізовані певними значеннями перед подачею на вхід обчислювача вхідного бітового потоку x , а саме: суматор SUM1 – значенням першого члена арифметичного ряду різниць 1-го порядку Δ_0 , RG1 – значенням константи в арифметичному ряду

різниць 2-го порядку Δ_0^2 , RG2 – значенням $-2m$, що відображене в правій частині системи нерівностей (12). При ініціалізації суматора SUM2 треба врахувати значення ініціалізації з боку квадратора та з боку дільника чисел, тому SUM2 ініціалізується значенням $-m + y_0$.

При подачі на вхід пристрою бітового потоку x на виході SUM2 генерується бітовий потік y , що є результатом відтворення функції (10).

6. Апаратна реалізація досліджуваного обчислювача

Розроблена апаратна модель обчислювача на основі математичної моделі пристрою (12) та його архітектури (рисунок 2).

Вираз функції (10) перепишемо у вигляді

$$y = \left[\frac{a_2 x^2 + a_1 x + a_0}{m} + 0,5 \right], \quad (18)$$

де $a_2 = 1$, $a_1 = 2$, $a_0 = 5$, $m = 10$.

В табл. 1 наведено результати обчислення значень функції (18) з похибкою обчислення $|\delta_{\max}| = 0,5$ і округленням результату при значеннях вхідного бітового потоку довжиною $x_{\max} = 10$ біт.

Таблиця 1

X	Значення функції Y
x = 1	$y = \left[\frac{1^2 + 2 \cdot 1 + 5}{10} + 0,5 \right] = [1,3] = 1$
x = 2	$y = \left[\frac{2^2 + 2 \cdot 2 + 5}{10} + 0,5 \right] = [1,8] = 1$
x = 3	$y = \left[\frac{3^2 + 2 \cdot 3 + 5}{10} + 0,5 \right] = [2,5] = 2$
x = 4	$y = \left[\frac{4^2 + 2 \cdot 4 + 5}{10} + 0,5 \right] = [3,4] = 3$
x = 5	$y = \left[\frac{5^2 + 2 \cdot 5 + 5}{10} + 0,5 \right] = [4,5] = 4$
x = 6	$y = \left[\frac{6^2 + 2 \cdot 6 + 5}{10} + 0,5 \right] = [5,8] = 5$
x = 7	$y = \left[\frac{7^2 + 2 \cdot 7 + 5}{10} + 0,5 \right] = [7,3] = 7$
x = 8	$y = \left[\frac{8^2 + 2 \cdot 8 + 5}{10} + 0,5 \right] = [9] = 9$
x = 9	$y = \left[\frac{9^2 + 2 \cdot 9 + 5}{10} + 0,5 \right] = [10,9] = 10$
x = 10	$y = \left[\frac{10^2 + 2 \cdot 10 + 5}{10} + 0,5 \right] = [12,5] = 12$

Дробово-раціональна функція (18) містить в чисельнику квадратичний поліном

$$y_i = x^2 + 2x + 5. \quad (19)$$

Обчислення полінома в пристрої здійснюється на основі конвеєрних обчислень. Скориставшись

(16), (17), були визначені значення функції Y_i , що є арифметичним рядом 2-го порядку при підстановці значень $x = 0, 1, 2, 3, \dots, 10$ та значення арифметичних рядів різниць 1-го та 2-го порядків відповідно. Отримані послідовності значень арифметичного ряду 2-го порядку та арифметичних рядів різниць 1-го та 2-го порядків мають вигляд

$$Y_i : 5, 8, 13, 20, 29, 40, 53, 68, 85, 104;$$

$$\Delta_1 : 3, 5, 7, 9, 11, 13, 15, 17, 19;$$

$$\Delta_2 : 2, 2, 2, 2, 2, 2, 2, 2.$$

Компоненти архітектури досліджуваного обчислювача ініціалізуються значеннями: SUM1=3, SUM2=-5, RG1= 2, RG2=-20.

В табл. 2 наведено обчислювальний процес в компонентах пристрою при подачі на його вхід бітового потоку довжиною 10 бітів ($x_{\max}=10$). Результати обчислення функції (див. табл. 1) і поява бітів переповнення у на виході пристрою співпадають. В обчисленнях враховано перенесення чисел з SUM1 в SUM2 зі зсувом на 1 розряд в бік старших розрядів.

Таблиця 2

X	SUM_2	Y	SUM_1
1	-5 + 6 = 1 1 - 20 = -19	1	3+2=5
2	-19 + 10 = -9		5+2= 7
3	-9 + 14 = 5 5 - 20 = -15	1	7+2= 9
4	-15 + 18 = 3 3 - 20 = -17	1	9+2=11
5	-17 + 22 = 5 5 - 20 = -15	1	11+2=13
6	-15 + 26 = 11 11 - 20 = -9	1	13+2 =15
7	-9 + 30 = 21 21 - 20 = 1 1 - 20 = -19	1 1	15+2=17
8	-19 + 34 = 15 15 - 20 = -5	1	17+2=19
9	-5 + 38 = 33 33 - 20 = 13 13 - 20 = -7	1 1	19+2=21
10	-7 + 42 = 35 35 - 20 = 15 15 - 20 = -5	1 1	21+2=23

При виконанні апаратної реалізації була розроблена блок-схема досліджуваного пристрою. Пристрій містить три блоки: детектор вхідного біту, блок біт-потокowego обчислювача та блок вихідного буфера (рис. 3).

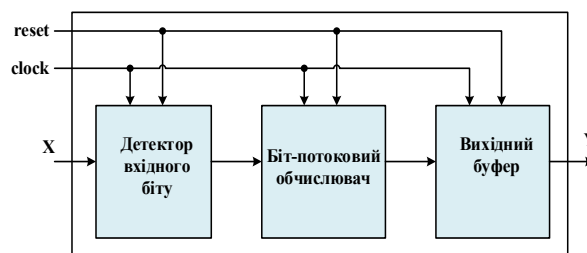


Рис. 3. Структурно-блокова схема пристрою

Детектор вхідного біту призначений для детектування бітів вхідної послідовності x і на виході встановлює відповідний сигнал $\text{impulse}=1$. Цей сигнал буде отримано арифметичним блоком обчислювача. Блок обчислювача містить «Апроксиматор», що відтворює дробово-раціональну функцію. Блок вихідного буфера призначений для формування вихідної бітової послідовності y .

На основі математичної моделі та архітектури пристрою розроблена змістовна граф-схема алгоритму (ГСА), що описує принцип його роботи (рис. 4).

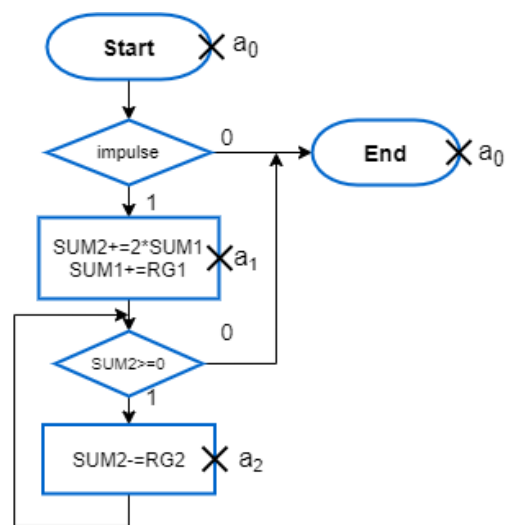


Рис. 4. Граф-схема алгоритму роботи пристрою

1. При поданні сигналу скидання (сигнал $\text{reset}=1$) регістри пристрою встановлюються в такі значення: SUM1=3, SUM2=-5, RG1=2, RG2=-20.
2. При надходженні чергового біту на вхід пристрою значення регістра SUM2 збільшується на подвоєне значення регістра SUM1, а значення регістра SUM1 збільшується на значення RG1.
3. Якщо значення регістра SUM2 невід'ємне, то на виході SUM2 генерується вихідний біт, при цьому від значення регістра SUM2 віднімається значення регістра RG2. Пункт 3 повторюється до тих пір, поки значення регістра SUM2 невід'ємне.

За сигналом reset =1 автомат переходить в початковий стан a0 і знаходиться в цьому стані, поки не з'явиться сигнал impulse з вхідного буфера. З приходом сигналу impulse автомат переходить в стан a1. В стані a1 автомат додає до суми SUM2 подвоєне значення вмісту SUM1, тобто зі зсувом на 1 розряд в бік старших розрядів, а значення регістра SUM1 збільшується на значення регістра RG1, а саме на 2. Якщо регістр SUM2 набуде невід'ємного значення, буде згенерований біт переповнення і автомат перейде у стан a2, інакше він перейде в початковий стан a0.

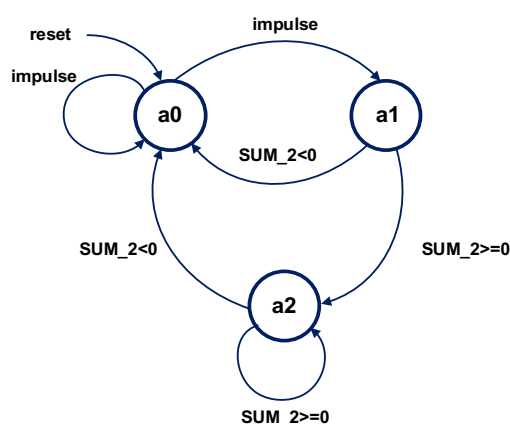


Рис. 5. Граф переходів керуючого автомата арифметичного блоку

В стані a2 автомат видає сигнал вихідному буфера для формування біту на виході обчислювача. Як ефективне середовище моделювання та верифікації проектів на платформі FPGA обраний програмний пакет Active-HDL, що дозволяє автоматизувати процес введення проекту в САПР. Апаратна модель пристрою розроблена на мові VHDL з використанням автоматної моделі опису. На рис. 6 наведено фрагмент коду програми, що описує роботу операційного автомата і реалізує паралельно-послідовні обчислення в арифметичному блоці пристрою.

```

process (clock_i, reset_i)
begin
    if (reset_i = '1') then
        sum <= CONV_STD_LOGIC_VECTOR(c - m, width);
        counter <= CONV_STD_LOGIC_VECTOR(a+b,
width);
    else
        if (falling_edge(clock_i)) then
            if (sum_plus_a_i = '1') then
                sum <= sum + counter + counter;
                counter <= counter + 2*a;
            else
                if (sum_minus_b_i = '1') then
                    sum <= sum - 2*m;
                    end if;
                end if;
            end if;
        end if;
    end process;
end process;

```

Рис. 6. Фрагмент коду роботи операційного автомату

На рис. 7 представлена waveform з результатами моделювання поведінкової моделі біт-потоків обчислювача досліджуваної функції (10). На waveform продемонстровано, що результати тестування моделі збігаються з результатами розрахунків обчислювального процесу в компонентах пристрою. Результати тестування підтверджують правильність роботи досліджуваного обчислювача. Для синтезу обчислювача використана платформа Xilinx SPARTAN 3E серії XC3S100E, в якій було задіяно приблизно 4% ресурсів.

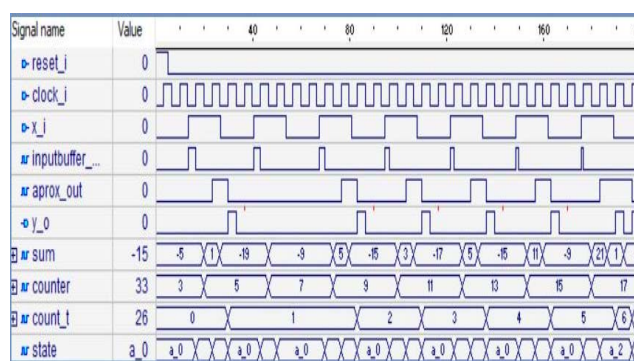


Рис. 7. Результати моделювання поведінкової моделі обчислювача дробово-раціональної функції

Наукова новизна полягає в розробці математичної моделі апаратного біт-потокowego online обчислювача дробово-раціональних функцій, що представляє собою систему різницевих

нерівностей. Зазначено, що дробово-раціональні функції в загальному випадку не мають аналітичного запису зворотних їм функцій, тому визначити аналітичним шляхом визначення вибірок x_y з вхідного бітового потоку за методом формування приростів висхідних ступінчастих функцій не є можливим. Але вони можуть бути отримані алгоритмічно шляхом неперервного паралельного обчислення значень двох раціональних функцій відповідно і формуванням вузлів апроксимації відтворної ступінчастої функції в моменти їх рівності. Запропонована математична модель обчислювача забезпечує абсолютну похибку обчислення 0,5 одиниці молодшого біту аргументу.

Архітектуру біт-потокowego обчислювача дробово-раціональних функцій реалізовано синтезом двох паралельно з'єднаних блоків: блоком біт-потокowego обчислювача полінома і блоком дільника чисел, які поєднані між собою основним обчислювальним вузлом – накопичуючим суматором, що використовується як схема порівняння, яка порівнює в паралельних кодах прирости двох одночасно відтворюваних висхідних функцій. Прирости однієї з них подаються в суматор за допомогою бітів вхідного бітового потоку в прямому коді, а прирости іншої функції – його вихідними бітами в додатковому коді.

В обчислювачі використано переваги принципу побудови біт-потоковой конвеєрної архітектури, що реалізує потіковий метод online обчислень з одночасним паралельно-послідовним виконанням функціонального перетворення вхідного бітового потоку на основі обчислення приростів відтворюваної функції.

Запропоновано апаратну модель обчислювача, що сформована на основі кінцевого автомата моделі Мура. Розроблено граф-схему алгоритму роботи пристрою та граф переходів керуючого автомата арифметичного блоку. Використання графової моделі дозволяє забезпечити наглядність, чіткість та несуперечливість реалізації алгоритму. Апаратна реалізація виконана шляхом побудови моделі на мові опису апаратури в синтезованій підмножині VHDL. Результати моделювання поведінкової моделі пристрою збіглися з теоретичними розрахунками. Апаратна модель пристрою імплементована в Xilinx Spartan FPGA.

Література: 1. Dhafer Al-Makhles, Nitish Patel, Akshya Swain. Bitstream control system: Stability and experimental application // Intern. Conf. on Appl. Electronics. Czech Republic, Pilsen, 2013. P. 1–6. 2. Буренева О.И.,

Жирнова О.А. Бит-потокговое устройство извлечения квадратного корня // Известия ЛЭТИ. 2019. №2. С. 26 – 32. 3. Буренева О.И., Жирнова О.А. Многофункциональный бит-потокковый преобразователь // Известия ЛЭТИ. 2019. №10. С. 46 – 53. 4. Gulin A.I., Safyannikov N.M., Bureneva O.I., Kaydanovich A.Yu. Assurance of Fault-Tolerance in Bit-Stream Computing Converters // Proceedings of 16th IEEE East-West Design & Test Symposium (EWDTS'2018). Kazan, Russia, September 14 – 17, 2018. P. 418 – 421. 5. Shkil A. S., Larchenko L. V., Larchenko B. D. Bit-Stream Power Function Online Computer // Proceedings of 18 IEEE East-West Design & Test Symposium (EWDTS'2020). Varna, Bulgaria. September 4 – 7. 2020. P.423–428. 6. Fujisaka H., Kurata R., Sakamoto M. and Morisue M. Bit-stream signal processing and its application to communication system // IEEE Proceedings - Circuits, Devices and Systems, 149 3, 2002. 7. Al-Makhles D., Patel N. and Swain A. Conventional and hybrid bit-stream in real-time system // Proceedings of the 11th Workshop on Intelligent Solutions in Embedded Systems (WISSES), Pilsen, Czech Republic, 2013. 8. Сафьянников Н.М., Буренева О.И. Следящий потіковий вычислительный преобразователь для интеллектуальных измерительных систем // Международная конференция по мягким вычислениям. 2019. Т.1. С 263-266. 9. Стахів М.Ю. Автореф. дисертації. Цифрові функціональні перетворювачі розгортуючого типу з покращеними характеристиками // Видавництво Національного університету Львівська політехніка. 2013. 21 с. 10. Ларченко Л.В., Кулак Е.М., Ларченко Б.Д. Функціональне перетворення імпульсних потоків в апаратних обчислювачах математичних функцій // Радіоелектроніка та інформатика. 2019. №3. С.27-34. 11. Шкіль О.С., Ларченко Б.Д., Ларченко Л.В. Декомпозиція математичної моделі біт-потокowego обчислювача ірраціональних функцій // Радіоелектроніка та інформатика. 2019. №4. С. 34-39.

Транслітерований список літератури:

1. Dhafer Al-Makhles, Nitish Patel, Akshya Swain. Bit-stream control system: Stability and experimental application // Intern. Conf. on Appl. Electronics. Czech Republic, Pilsen, 2013. P. 1–6.
2. Bureneva O.I., Zhirnova O.A. Bit-potokovoye ustroystvo izvlecheniya kvadratnogo kornya // Izvestiya LETI, 2019, №2, S. 26 – 32.
3. Bureneva O.I., Zhirnova O.A. Mnogofunktsional'nyy bit-potokovyy preobrazovatel' // Izvestiya LETI, 2019, №10. S. 46 – 53.
4. Gulin A.I., Safyannikov N.M., Bureneva O.I., Kaydanovich A.Yu. Assurance of Fault-Tolerance in Bit-Stream Computing Converters // Proceeding of 16th IEEE East-West Design & Test Symposium (EWDTS'2018). Kazan, Russia, September 14 – 17, 2018. pp. 418 – 421.
5. Shkil A. S., Larchenko L. V., Larchenko B. D. Bit-Stream Power Function Online Computer // Proceedings of 18 IEEE East-West Design & Test Symposium (EWDTS'2020). Varna, Bulgaria. September 4 – 7, 2020 – pp.423–428.
6. Fujisaka H., Kurata R., Sakamoto M. and Morisue M. Bit-stream signal processing and its application to

communication system // IEEE Proceedings - Circuits, Devices and Systems, 149 3, 2002.

7. *Al-Makhles D., Patel N. and Swain A.* Conventional and hybrid bit-stream in real-time system // Proceedings of the 11th Workshop on Intelligent Solutions in Embedded Systems (WISES), Pilsen, Czech Republic, 2013.

8. *Safyannikov N.M., Bureneva O.I.* Sledyashchiy potokovyy vychislitel'nyy preobrazovatel' dlya intelektual'nykh izmeritel'nykh sistem // Mezhdunarodnaya konferentsiya po myagkim vychisleniyam. 2019. T.1. S. 263-266.

9. *Stakhiv M.YU.* Avtoref. dysertatsiyi. Tsyfrovi funktsional'ni peretvoryuvachi rozhortuyuchoho typu z pokrashchenymy kharakterystykamy // Vydavnytstvo Natsional'noho universytetu «L'vivs'ka politehnika». 2013. 21 S.

10. *Larchenko L.V., Kulak E. M., Larchenko B. D.* Functional conversion of pulse streams in hardware mathematical functions computer // Radioelectronics and Informatics, 2019. N. 3. S. 27-34.

11. *Shkil' O.S., Larchenko B.D., Larchenko L.V.* Dekompozitsiya matematychnoyi modeli bit-potokovoho obchislyuvacha irratsional'nykh funktsiy // Radioelektronika ta informatyka. 2019. №4. S. 34-39.

Надійшла до редколегії 17.09.2020

Рецензент: д-р техн. наук, проф. Кривуля Г.Ф.

Ларченко Богдан Дмитрович, аспірант кафедри АПОТ ХНУРЕ. Наукові інтереси: проектування цифрових систем засобами САПР, математичне моделювання цифрових систем, FPGA. Адреса: Україна, 61166, Харків, пр. Науки, 14, тел. +380(57) 702-13-26.

Шкіль Олександр Сергійович, канд. техн. наук, доцент кафедри АПОТ ХНУРЕ. Наукові інтереси: діагностика цифрових систем, дистанційна освіта. Адреса: Україна, 61166, Харків, пр. Науки, 14, тел. +380(57) 702-13-26.

Ларченко Ліна Вікторівна, канд. техн. наук, доцент кафедри АПОТ ХНУРЕ. Наукові інтереси: проектування спеціалізованих цифрових систем засобами САПР, математичне моделювання. Адреса: Україна, 61166, Харків, пр. Науки, 14, тел. +380(57) 702-13-26.

Філіппенко Інна Вікторівна, канд. техн. наук, доцент кафедри АПОТ ХНУРЕ. Наукові інтереси: мікроконтролерні системи. Адреса: Україна, 61166, Харків, пр. Науки, 14, тел. +380(57) 702-13-26.

Ющенко Сергій Валерійович, магістрант кафедри АПОТ ХНУРЕ. Наукові інтереси: автоматизоване проектування цифрових систем, мікроконтролерні системи. Адреса: Україна, 61166, Харків, пр. Науки, 14, тел. +380(57) 702-13-26.

Larchenko Bogdan Dmitrovich, PhD student, Design Automation Department, Kharkiv National University of Radioelectronics. Scientific interests: design automation of digital systems, FPGA. Address: Ukraine, 61166, Kharkiv, Nauka Avenue, 14, tel. 702-13-26.

Shkil Alexander Sergeevich, PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radioelectronics. Scientific education: diagnostics of digital systems, distance education. Address: Ukraine, 61166, Kharkov, Nauka Avenue, 14, tel. +380 (57) 702-13-26.

Larchenko Lina Viktorivna, PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radioelectronics. Scientific interests: design automation of digital systems, mathematical modeling. Address: Ukraine, 61166, Kharkiv, Nauka Avenue, 14, tel. 702-13-26.

Filippenko Inna Viktorivna, PhD, Associate Professor, Associate Professor of Design Automation Department, Kharkiv National University of Radioelectronics. Scientific interests: microcontroller systems. Address: Ukraine, 61166, Kharkiv, Nauka Avenue, 14, tel. 702-13-26.

Yushchenko Serhiy Valeriyovich student, Design Automation Department, Kharkiv National University of Radioelectronics. Scientific interests: design automation of digital systems, microcontroller systems. Address: Ukraine, 61166, Kharkiv, Nauka Avenue, 14, tel. 702-13-26.